

Chapitre 5 : Les circuits séquentiels

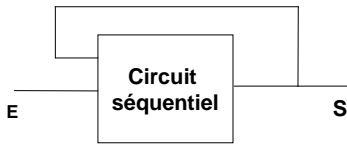
- Introduction
- Notion d'horloge (système synchrone et système asynchrone)
- Les bascules
 - T
 - RS
 - RST
 - D et D latch
 - JK
- Les registres
- Les compteurs/decompteurs

1.Introduction

- Un circuit combinatoire est un circuit numérique dont **les sorties** dépendent uniquement **des entrées**: $S = f(E)$
- L'état du système ne dépend pas de **l'état interne du système**.
- Pas de **mémoration** de l'état du système.

2.Les circuits séquentiels

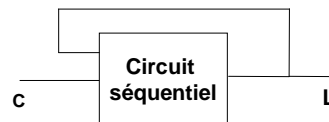
- Un circuit séquentiel est un circuit numérique (logique) dont **l'état** à l'instant **t+1** est une fonction **des entrées** en même instant **t+1** et de **l'état précédente du système** (l'instant t)



$$S_{t+1} = f(E, S_t)$$

$$S^+ = f(E, S)$$

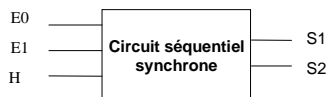
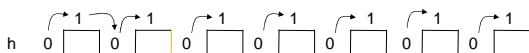
Exemple d'un circuit séquentiel



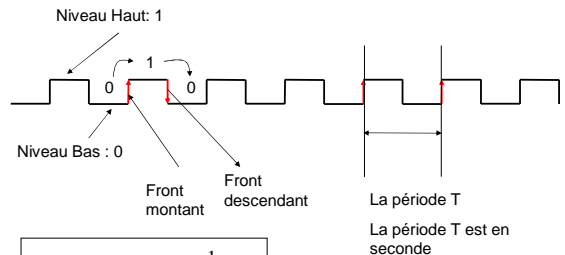
C	L	L+	
0	X	L	Mémoire
1	0	1	basculement
1	1	0	basculement

3.Système synchrone(Notion de l'horloge)

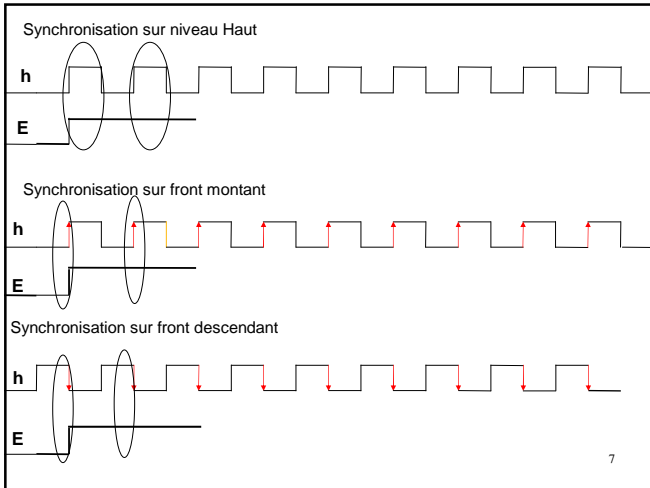
- Une horloge est une **variable logique** qui passe successivement de 0 à 1 et de 1 à 0 d'une façon périodique.
- Cette variable est utilisée souvent comme une entrée des circuits séquentiels → le circuit est dit synchrone.
- L'horloge est notée par **h** ou **ck** (clock).



L'horloge



Fréquence F $f = \frac{1}{T}$
La fréquence est en hertz



4. Les systèmes Asynchrones

- Lorsque un circuit séquentiel n'a pas d'horloge comme variable d'entrée ou si le circuit fonctionne indépendamment de cette horloge alors ce circuit est asynchrone.

8

5. Les bascules (flip-flops)

- Les bascules sont les circuits de bases de la logique séquentiel.
- Une bascule peut posséder une horloge (synchrone) ou non (asynchrone).
- Chaque bascule possède des entrées et deux sorties Q et \bar{Q} .
- Une bascule possède la fonction de mémorisation et de basculement.

$Q^+ = F(E_i, Q)$

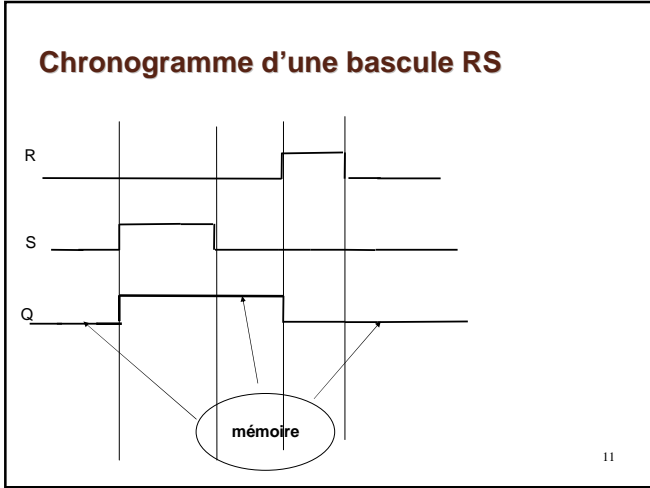
Il existe plusieurs types de bascules : T, RS, RST, D, JK

9

5.1 Les bascules RS (Reset, Set)

R	S	Q-	Q+	
0	0	0	0	Etat mémoire
0	0	1	1	
0	1	0	1	Remise à 1
0	1	1	1	
1	0	0	0	Remise à 0
1	0	1	0	
1	1	0	X	État interdite
1	1	1	X	

10



Structure interne d'une bascule RS

$$Q^+ = S + \bar{R} \cdot Q$$

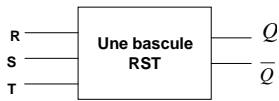
$$\bar{Q}^+ = R + \bar{S} \cdot Q$$

$$Q^+ = S + \bar{R} \cdot Q = \overline{\overline{S + \bar{R} \cdot Q}} = \overline{\bar{S} \cdot (R \cdot Q)} = (S \uparrow \bar{S}) \uparrow ((R \uparrow R) \uparrow Q)$$

$$\bar{Q}^+ = R + \bar{S} \cdot Q = \overline{\overline{R + \bar{S} \cdot Q}} = \overline{\bar{R} \cdot (\bar{S} \cdot Q)} = (R \uparrow \bar{R}) \uparrow ((\bar{S} \uparrow \bar{S}) \uparrow Q)$$

12

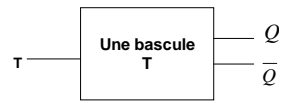
5.3 Les bascules RST



T	R	S	Q+
0	X	X	Q
1	0	0	Q
1	0	1	1
1	1	0	0
1	1	1	X

13

5.3 Les bascules T

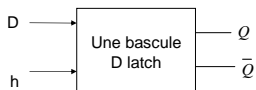


T	Q+
0	Q
1	\bar{Q}

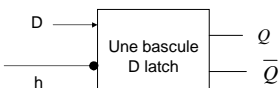
14

5.4 Les bascules D latch

- C'est une bascule synchrone (utilise une horloge) sur niveau Haut ou niveau Bas



Sur niveau Haut



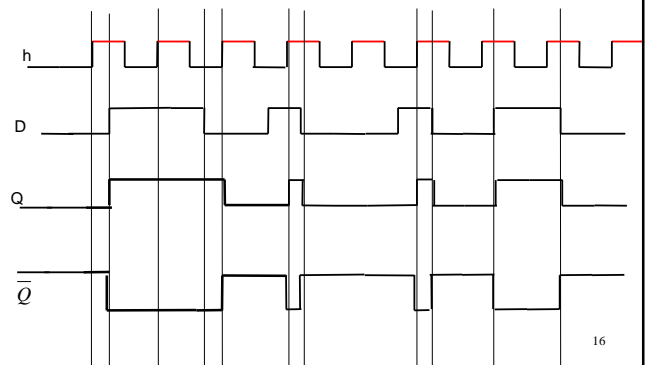
Sur niveau bas

h	D	Q+
0	0	Q-
0	1	Q-
1	0	0
1	1	1

Si $h=1$ $Q^+=D$

15

Chronogramme d'une bascule D latch (niveau haut)



16

Exercice

- Transformer une bascule RST pour qu'elle agisse comme une bascule D-latch ?

T	R	S	Q+
0	X	X	Q
1	0	0	Q
1	0	1	1
1	1	0	0
1	1	1	X

T = h
S = D
R = \bar{D}

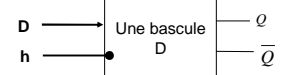
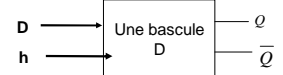
17

5.6 Les bascules D

- C'est une bascule synchronisée sur front montant ou descendant

h	D	Q+
0/1	0	Q-
0/1	1	Q-
↑	0	0
↑	1	1

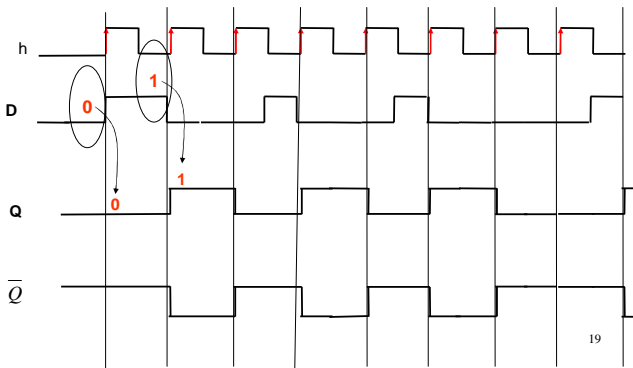
Sur front montant



Sur front descendant

18

Chronogramme d'une bascule D



19

5.7 Les bascules J.K en mode synchrone

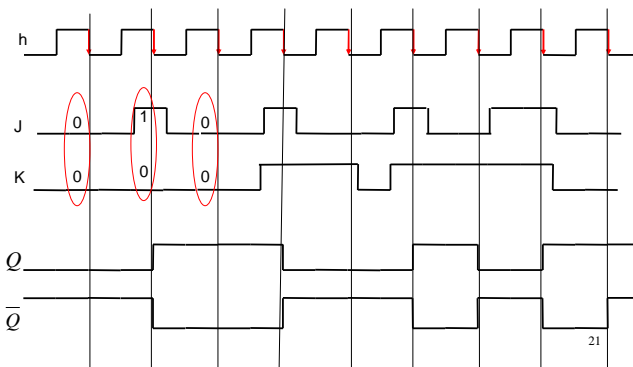
- Une bascule avec deux entrée J , K et une horloge (front montant ou descendant)

h	J	K	Q+	Q-
0/1	x	x	Q-	Q-
↓	0	0	Q-	Q-
↓	0	1	0	Q-
↓	1	0	1	Q-
↓	1	1	Q-	Q-



20

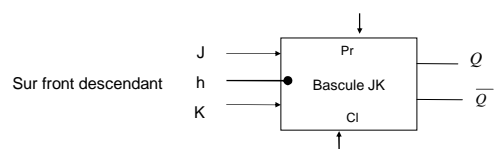
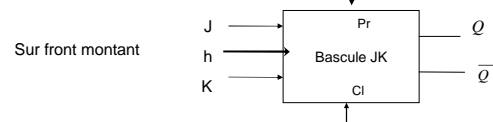
Chronogramme d'une bascule J.K



21

Les bascules J.K en mode asynchrone

- Deux entrées Pr (preset) et cl (clear) asynchrone
- Plus prioritaire que l'horloge
- Pr et Cl fonctionne avec la logique negative.



22

Table de vérité d'une bascule J.K

	Pr	Cl	h	J	K	Q+	Q-	
Mode Asynchrone	0	0	X	X	X	X	X	État interdit
	0	1	X	X	X	1	X	Remise à 1
	1	0	X	X	X	0	X	Remise à 0
Mode Synchrone	1	1	0/1	x	x	Q-	Q-	État mémoire
	1	1	↓	0	0	Q-	Q-	État mémoire
	1	1	↓	0	1	0	Q-	Remise à 0
	1	1	↓	1	0	1	Q-	Remise à 1
	1	1	↓	1	1	Q-	Q-	Basculement

23

Exercice

- Transformer une bascule JK en une bascule D ?

h	J	K	Q+	Q-
0/1	x	x	Q-	Q-
↓	0	0	Q-	Q-
↓	0	1	0	Q-
↓	1	0	1	Q-
↓	1	1	Q-	Q-

$$J = D$$

$$K = \overline{D}$$

$$h = \overline{h}1$$

24

Table de transition d'une bascule JK

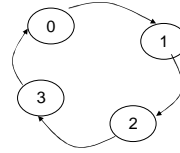
- On connaît les valeurs **des sorties**, comment déterminer les valeurs **des entrées** JK ?

Q	Q+	J	K	
0	0	0	X	Remise à 0 ou état mémoire
0	1	1	X	Remise à 1 ou basculement
1	0	X	1	Remise à 0 ou basculement
1	1	X	0	Remise à 1 ou état mémoire

25

Exercice

- Réaliser le circuit qui permet de réaliser le cycle suivant 0,1,2,3 à l'aide de bascules JK ?



26

Solution

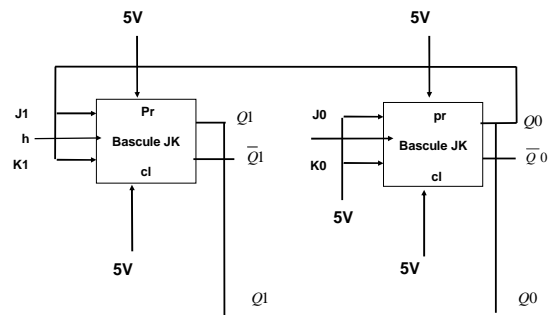
Q1	Q0	J1	K1	J0	K0	Q1+	Q0+
0	0	0	X	1	X	0	1
0	1	1	X	X	1	1	0
1	0	X	0	1	X	1	1
1	1	X	1	X	1	0	0

$$J0=K0=1$$

$$J1=K1=Q0$$

27

Solution (schéma)



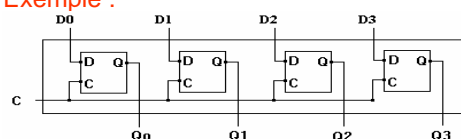
28

Les registres

29

1. Définition

- Une bascule est l'élément de base de la logique séquentielle.
- Une bascule permet de mémoriser un seul bit.
- Un registre est ensemble un ordonné de n bascules.
- Un registre permet de mémoriser (sauvegarder) une information sur n bits.
- Exemple :**



30

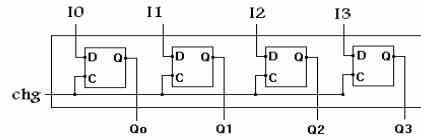
2. Type de registres

- Il existe plusieurs types de registres :
 - Registre à entrées parallèles et sorties parallèles (Registre à chargement parallèle).
 - Registre à entrée série et sortie série
 - Registre à entrée série et sortie parallèle.
 - Registre à entrée parallèle et sortie série.
 - Registre à décalage circulaire.

31

2.1 Registre à entrées parallèles et sorties parallèles (Registre à chargement parallèle).

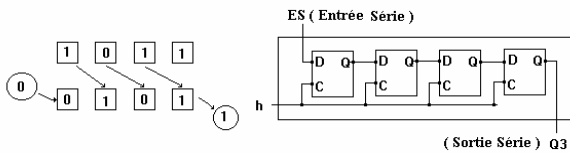
- Il peut charger une information sur **N bits** en même temps.
- Les **n** bascules changement d'états en même temps.
- Chaque bascule B_i prend la valeur de l'information i .
- Il possède une entrée de chargement chg ($chg=0 \rightarrow$ état mémoire, $chg=1$ chargement)



32

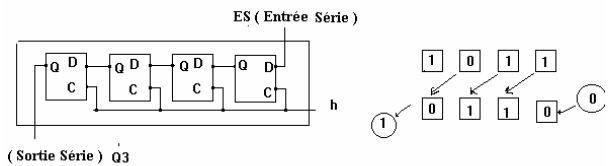
2.2 Registre à entrée série et sortie série

- L'information est introduite bit par bit (en série).
- L'ensemble du registre est décalé d'une position (B_i, B_{i+1}) et la bascule B_0 reçoit une nouvelle entrée ES.
- Un tel registre est appelé registre à entrée série à gauche et à sortie série à droite.



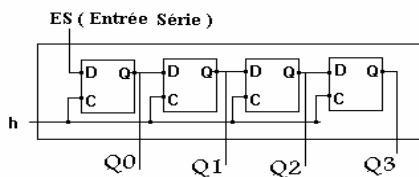
33

2.3 registre à entrée série à droite et à sortie série à gauche.



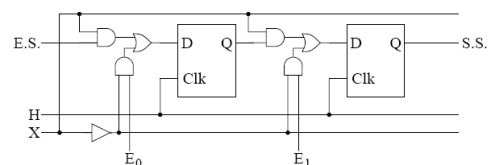
34

2.4 Registre à entrée série et sortie parallèle.



35

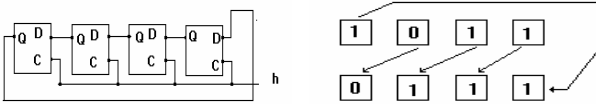
2.5 Registre à entrée parallèle et sortie série.



36

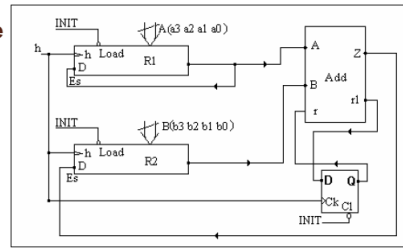
2.6 Registre à décalage circulaire

- C'est un registre qui effectue un décalage vers la gauche en répercutant la sortie de la dernière bascule vers l'entrée de la dernière bascule.
- Le décalage peut être un décalage droite (circulaire droite) ou gauche (circulaire gauche)



37

Exercice



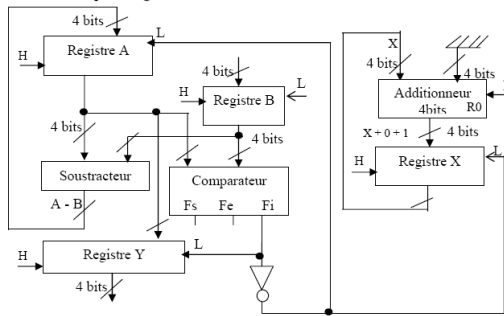
Au début de l'expérience, le registre R1 est chargé avec la donnée A, R2 avec la donnée B, et la bascule D est initialisée à "0".

a./ Décrire la suite du fonctionnement pour les quatre premières impulsions d'horloge sachant:

	A	B	r	ES(R1)	ES(R2)	D
Initialisation	a0	b0	0	a0	Z0	r1
Impulsion 1						
Impulsion 2						
Impulsion 3						
Impulsion 4						

Exercice 2

Soit un circuit décrit par la figure suivante :



Remarque : L = 0 : état mémoire, L = 1 : Chargement synchrone (Load).
Le Registre Y est initialisé à 0. Les registres A et B chargés initialement avec les données A et B.

Questions

Questions:

1. Compléter le tableau suivant à chaque top d'horloge

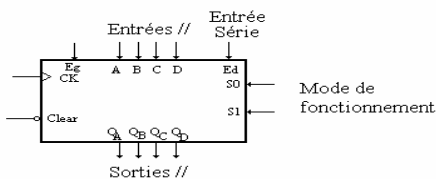
à	Registre A	Registre B	Fi	A - B	Registre X	Registre Y
T0	(16) ₁₀	(5) ₁₀			(1) ₁₀	(0) ₁₀
T1						
T2						
T3						

2. Analyser le résultat final des registres X et Y en fonction des données A et B, et dites quelle est la fonction réalisée par ce circuit.

40

2.7 Les Registres programmables

- Il existe des registres qui permettent :
 - le décalage à droite (ou circulaire droite)
 - Le décalage à gauche (ou circulaire gauche)
 - Chargement parallèle.



41

Registre programmable (table de vérité)

h	S0	S1	QA	QB	QC	QD	.
X	0	0	QA	QB	QC	QD	Mémoire
↑	0	1	Eg	QA	QB	QC	Décalage à droite
↑	1	0	QB	QC	QD	Ed	Décalage à gauche
↑	1	1	A	B	C	D	Chargement Synchrone

42

Exercice

1./ Faites l'étude du registre décrit par le fonctionnement suivant (en utilisant des bascules D).

Raz	Chg	Dg	Dd	h	Q ₃ ⁺	Q ₂ ⁺	Q ₁ ⁺	Q ₀ ⁺
1	X	X	X	X	0	0	0	0
0	1	X	X	X	E3	E2	E1	E0
0	0	1	X	↑	Q ₂	Q ₁	Q ₀	S _L
0	0	0	1	↑	S _R	Q ₃	Q ₂	Q ₁
0	0	0	0	X	Q ₃	Q ₂	Q ₁	Q ₀

Raz et Chg sont des commandes Asynchrones

43

Solution les entrées asynchrones

Raz	Chg	Dg	Dd	h	Q3	Q2	Q1	Q0	Pri	Cli
1	X	X	X	X	0	0	0	0	1	0
0	1	X	X	X	E3	E2	E1	E0	\overline{Ei}	Ei

$$\overline{Pri} = \overline{Raz} \cdot \overline{Chg} \cdot Ei$$

$$Pri = \overline{Raz} \cdot \overline{Chg} \cdot Ei$$

$$Cli = \overline{Raz} \cdot \overline{Chg} + \overline{Raz} \cdot \overline{Chg} \cdot Ei = \overline{Raz} \cdot \overline{Chg} + \overline{Pri} = \overline{Raz} \cdot \overline{Chg} \cdot \overline{Pri}$$

44

Les entrées synchrones

Raz	Chg	Dg	Dd	h	Q3	Q2	Q1	Q0	D3	D2	D1	D0
0	0	1	X	↑	Q2	Q1	Q0	SL	Q2	Q1	Q0	SL
0	0	0	1	↑	SR	Q3	Q2	Q1	SR	Q3	Q2	Q1
0	0	0	0	x	Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0

$$D3 = Dg \cdot Q2 + \overline{Dg} \cdot Dd \cdot SR + \overline{Dg} \cdot \overline{Dd} \cdot Q3$$

$$D2 = Dg \cdot Q1 + \overline{Dg} \cdot Dd \cdot Q3 + \overline{Dg} \cdot \overline{Dd} \cdot Q2$$

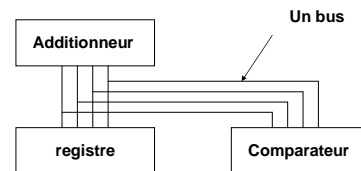
$$D1 = Dg \cdot Q0 + \overline{Dg} \cdot Dd \cdot Q2 + \overline{Dg} \cdot \overline{Dd} \cdot Q1$$

$$D0 = Dg \cdot SL + \overline{Dg} \cdot Dd \cdot Q1 + \overline{Dg} \cdot \overline{Dd} \cdot Q0$$

45

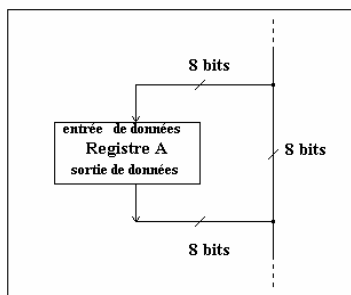
3. Les Bus

- Un bus est un ensemble de lignes utilisées pour interconnecter des éléments d'un ordinateur (registres, mémoires, ...).
- Son rôle est d'assurer le transport de l'information d'un élément à l'autre.



46

Représentation simplifié d'un bus exemple : sur 8 bits



47

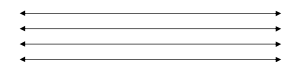
3.1 Bus Unidirectionnel et Bidirectionnel

- **Bus Unidirectionnel** : Ce type de bus assurent un transport de l'information dans un seul sens.
- **Le bus bidirectionnel** : Le bus bidirectionnel assure le transfert de l'information dans les deux sens.

Bus Unidirectionnel

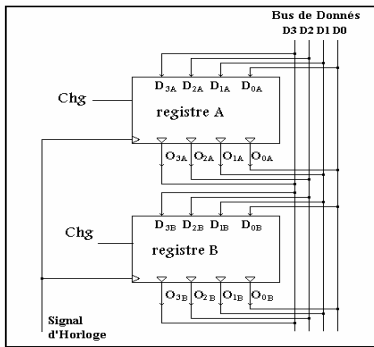


Le bus bidirectionnel



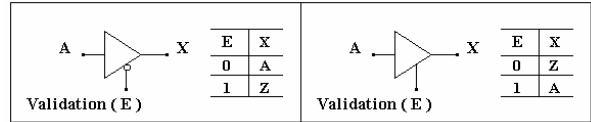
48

Application des Bus : interconnexions des registres



3.2 Le tampon trois états (Tristate)

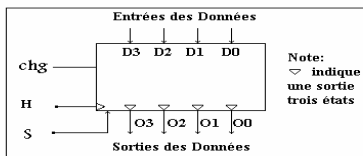
- C'est un circuit qui possède **trois états** : Haut (H : 1), Bas (B : 0) et **Haute Impédance (Z)**.



Un tampon trois états est un circuit qui sert pour contrôler le passage d'un signal logique entre une entrée et une sortie.

3.3 Registre à trois états

- Les sorties sont dotés de tampons à trois états.
- Si S=0 alors les Qi sont dans l'état haute impédance.

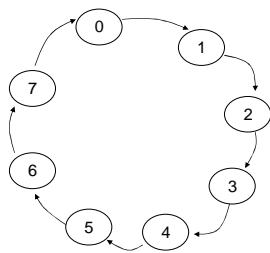


Les entrées aussi peuvent avoir des tampons à trois états

Les compteurs

1. Examinons la table de transition suivante

Q2	Q1	Q0	Q2*	Q1*	Q0*
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0



Un cycle (succession des états)

1.1. c'est quoi un compteur ?

- Un compteur est un circuit séquentiel qui possède **N états** (E_0, E_1, \dots, E_{N-1}).
- À chaque top d'horloge, il passe de l'état E_i à l'état E_{i+1} .
- Il revient toujours à l'état initial E_0 : Un compteur possède un **cycle** (une **séquence d'états**).
- Un compteur est constitué de **n** bascules .
- Le nombre d'états d'un compteur est inférieurs ou égale à 2^n .
- Il existe deux types de compteurs : les compteurs synchrones et asynchrones.
 - les bascules qui constituent un compteur synchrone possèdent la **même horloge**.
 - les bascules qui constituent un compteur asynchrone possèdent des **horloges différentes**.

2. Types de compteurs

- Les compteurs modulo 2^n (cycle complet):
 - $n=2$: 0,1,2,3,0 → modulo 4
 - $n=3$: 0,1,2,3,4,5,6,7,0 → modulo 8
 - $n=4$: 0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15,0 → modulo 16
- Les compteurs modulo N (cycle incomplet)
 - Pour $N=5$: 0,1,2,3,4,0 → modulo 5
 - Pour $N=10$: 0,1,2,3,4,5,6,7,8,9,0 → modulo 10
- Les compteurs à cycle quelconque :
 - 0,2,5,6,7,8,10,0

55

3.1. Étude des compteurs modulo 2^n exemple Modulo 8 (bascules JK)

Q2	Q1	Q0	Q2+	Q1+	Q0+
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

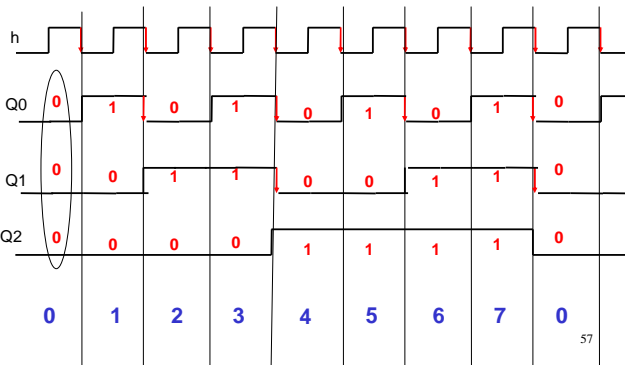
On remarque que Q0 passe à chaque fois de 0 à 1 et de 1 à 0 : un basculement → $J_0=K_0=1$.

On remarque que Q1 passe de 1 à 0 et passe de 1 à 0 à chaque fois que Q0 passe de 1 à 0 → Q0 est utilisée comme une horloge pour Q1 avec $J_1=K_1=1$ pour avoir un basculement.

On remarque que Q2 passe de 1 à 0 et passe de 1 à 0 à chaque fois que Q1 passe de 1 à 0 → Q1 est utilisée comme une horloge pour Q2 avec $J_2=K_2=1$ pour avoir un basculement.

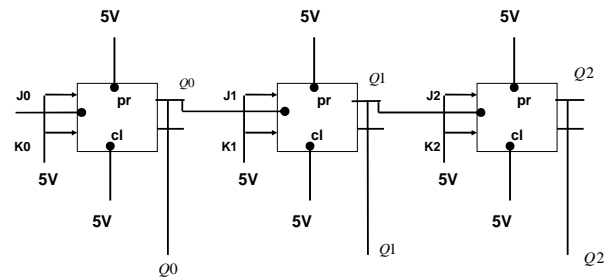
Ce compteur est appelé un compteur **ASYNCHRONE** : chaque bascule possède sa propre horloge.

Chronogramme d'un compteur asynchrone modulo 8



57

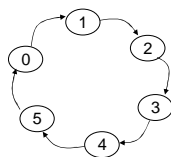
Schéma d'un compteur asynchrone modulo 8



58

3.2. Études des Compteurs modulo N exemple modulo 6

Q2	Q1	Q0	Q2+	Q1+	Q0+	Pri	Cli
0	0	0	0	0	1	1	1
0	0	1	0	1	0	1	1
0	1	0	0	1	1	1	1
0	1	1	1	0	0	1	1
1	0	0	1	0	1	1	1
1	0	1	1	1	0	1	1
1	1	0	0	0	0	1	0
1	1	1	0	0	0	1	1



$$\overline{Cli} = Q_2 \cdot Q_1 \cdot \overline{Q_0}$$

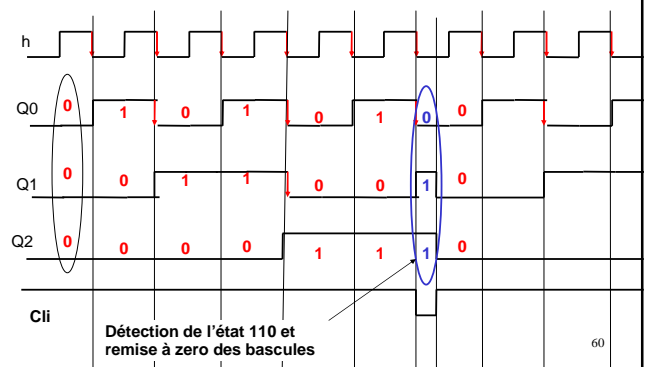
$$Cli = Q_2 \cdot Q_1 \cdot Q_0$$

État inaccessible

Détection de l'état 110 et remise à zero asynchrone : $Cli=0$ et $Pri=1$

59

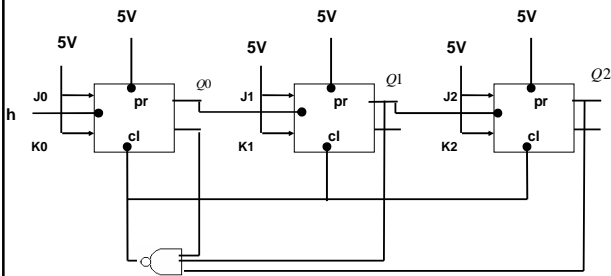
Chronogramme d'un compteur modulo 6 asynchrone



Détection de l'état 110 et remise à zero des bascules

60

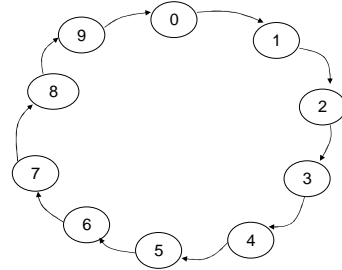
Schéma d'un compteur modulo 6 asynchrone



61

Exercice

Réaliser un compteur asynchrone décimale (modulo 10) ?



62

4.1.1.Étude des compteurs synchrones modulo 2ⁿ exemple Modulo 8 (bascule JK)

Toutes les bascules possèdent la même horloge.

Pour réaliser le compteur il faut **déterminer** les équations des Ji et Ki ?

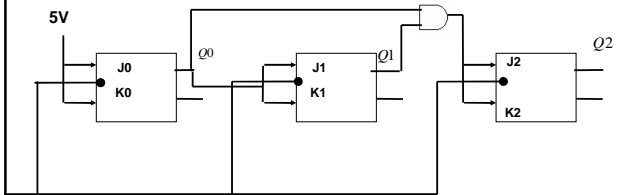
Q2	Q1	Q0	Q2*	Q1*	Q0*	J2	K2	J1	K1	J0	K0
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	0	0	0	X	1	X	1	X	1

63

Schéma d'un compteur modulo 8 synchrone

D'après la table de vérité on trouve :

$J0=K0=1$, $J1=K1=Q0$, $J2=K2=Q0.Q1$



h

64

4.1.2.Étude des compteurs synchrones modulo 2ⁿ exemple Modulo 8 (bascule T)

Une bascule T possède deux états : mémoire si T=0 et basculement si T=1.

Q2	Q1	Q0	Q2*	Q1*	Q0*	T2	T1	T0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

$T0=1$
 $T1=Q0$
 $T2=Q0.Q1$

65

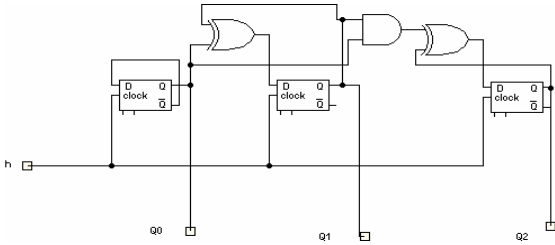
4.1.3.Étude des compteurs synchrones modulo 2ⁿ exemple Modulo 8 (bascule D)

Q2	Q1	Q0	Q2*	Q1*	Q0*	D2	D1	D0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

$D0 = \overline{Q0}$
 $D1 = Q1 \oplus Q0$
 $D2 = Q2 \oplus (Q1.Q0)$

66

Schéma d'un compteur modulo 8 synchrone avec des bascules D



67

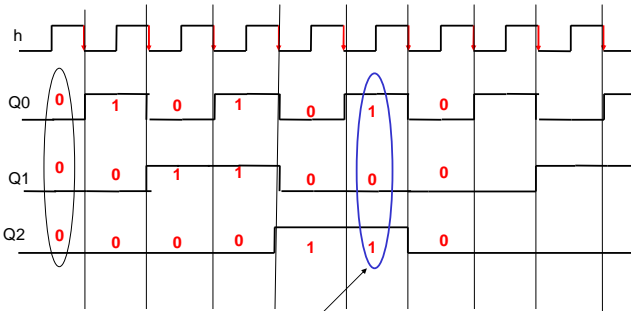
4.2. Étude des compteurs synchrones modulo N exemple Modulo 6 (bascule JK)

Q2	Q1	Q0	Q2*	Q1*	Q0*	J2	K2	J1	K1	J0	K0
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	0	0	0	X	1	0	X	X	1
1	1	0	X	X	X	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X	X	X	X

Détecter l'état 101 et mise à zéro synchrone (agir sur Ji et Ki)

68

Chronogramme d'un compteur modulo 6 synchrone

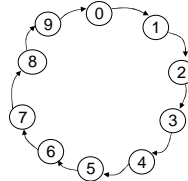


Détection de l'état 110 et remise à zéro synchrone des bascules

69

Exercice 1

Réaliser un compteur synchrone décimal (modulo 10) ?

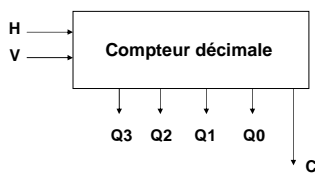


Utiliser ce compteur et des portes logiques pour réaliser un compteur modulo 100 (0,1,2,...,98,99,0) ? Généraliser la solution pour réaliser un compteur modulo 1000 (0,1,...,998,999) ?

70

Exercice 2

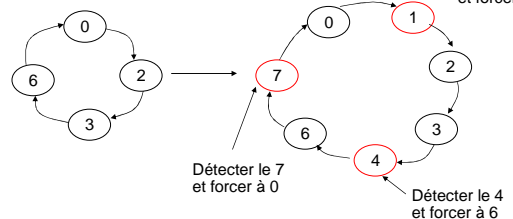
- Réaliser un compteur synchrone modulo 10 qui possède une entrée de validation V. tel que si V=0 alors le compteur est dans un état mémoire, si V=1 alors validation du comptage.



71

5.1 Les compteurs asynchrones à cycle quelconque

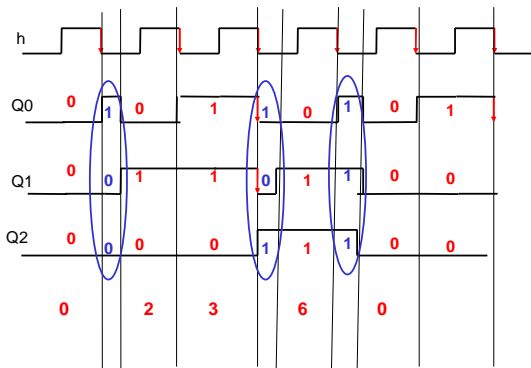
Soit le compteur ayant le cycle suivant



Pour forcer le compteur d'un état à un autre il faut agir sur les entrées asynchrone Cii et Pri des bascules.

72

Chronogramme d'un compteur asynchrone à cycle quelconque



73

Les compteurs asynchrones à cycle quelconque

Q2	Q1	Q0	Q2*	Q1*	Q0*	Pr2	Cl2	Pr1	Cl1	Pr0	Cl0
0	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	0
0	1	0	0	1	1	1	1	1	1	1	1
0	1	1	1	0	0	1	1	1	1	1	1
1	0	0	1	1	0	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1
1	1	1	0	0	0	1	0	1	0	1	0

$$Pr\ 2 = 1$$

$$Cl\ 2 = \overline{Q2} \cdot \overline{Q1} \cdot \overline{Q0}$$

$$Pr\ 1 = \overline{Q2} \cdot \overline{Q1} \cdot Q0 + Q2 \cdot \overline{Q1} \cdot \overline{Q0}$$

$$Cl\ 1 = \overline{Q2} \cdot Q1 \cdot \overline{Q0}$$

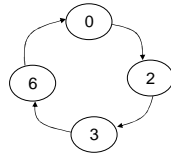
$$Pr\ 0 = 1$$

$$Cl\ 0 = \overline{Q2} \cdot \overline{Q1} \cdot Q0 + Q2 \cdot \overline{Q1} \cdot \overline{Q0}$$

74

5.2 Les compteurs synchrones à cycle quelconque

Soit le compteur ayant le cycle suivant

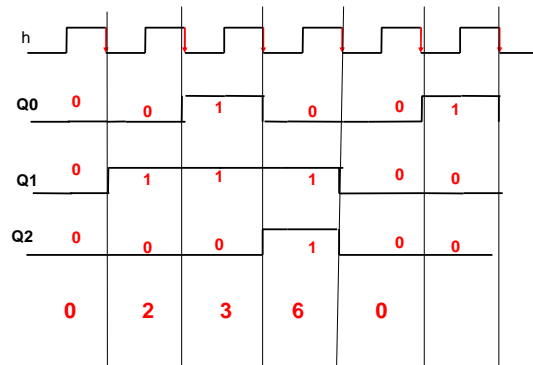


•Pour forcer le compteur d'un état à un autre il faut agir sur les entrées synchrones Ji et Ki

•Pour les états qui n'appartiennent pas au cycle du compteur il faut les considérer comme étant des états indéterminés (Ji=X et Ki=X)

75

Chronogramme d'un compteur synchrone à cycle quelconque



76

5.2.1 Réalisation d'un compteur à cycle quelconque cas synchrone avec des bascules J.K

Q2	Q1	Q0	Q2*	Q1*	Q0*	J2	K2	J1	K1	J0	K0
0	0	0	0	1	0	0	X	1	X	0	X
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	1	0	1	X	X	0	X	1
1	1	0	0	0	0	X	1	X	1	0	X
0	0	1	X	X	X	X	X	X	X	X	X
1	0	0	X	X	X	X	X	X	X	X	X
1	0	1	X	X	X	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X	X	X	X

$$J2 = K2 = Q1 \cdot (Q2 \oplus Q0)$$

$$J1 = K1 = \overline{Q0} \cdot (Q2 \oplus Q1)$$

$$J0 = K0 = \overline{Q2} \cdot Q1$$

77

5.2.2. Réalisation d'un compteur synchrone à cycle quelconque avec des bascules T

Q2	Q1	Q0	Q2*	Q1*	Q0*	T2	T1	T0
0	0	0	0	1	0	0	1	0
0	1	0	0	1	1	0	0	1
0	1	1	1	1	0	1	0	1
1	1	0	0	0	0	1	1	0
0	0	1	X	X	X	X	X	X
1	0	0	X	X	X	X	X	X
1	0	1	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X

$$T2 = Q1 \cdot (Q2 \oplus Q0)$$

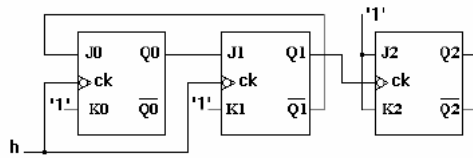
$$T1 = \overline{Q0} \cdot (Q2 \oplus Q1)$$

$$T0 = \overline{Q2} \cdot Q1$$

78

Exercice 1

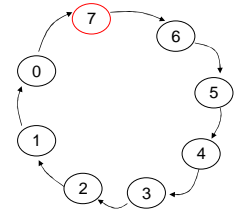
Trouver le cycle réalisé par ce compteur asynchrone ? Le compteur est initialisé par la valeur 0



79

6. Les décompteurs

Q2	Q1	Q0	Q2*	Q1*	Q0*
1	1	1	1	1	0
1	1	0	1	0	1
1	0	1	1	0	0
1	0	0	0	1	1
0	1	1	0	1	0
0	1	0	0	0	1
0	0	1	0	0	0
0	0	0	1	1	1



l'études des décompteurs se fait exactement de la même manière que l'étude des compteurs.

80

Exemple d'un décompteur synchrone

Q2	Q1	Q0	T2	T1	T0
1	1	1	0	0	1
1	1	0	0	1	1
1	0	1	0	0	1
1	0	0	1	1	1
0	1	1	0	0	1
0	1	0	0	1	1
0	0	1	0	0	1
0	0	0	1	1	1

$$T0 = J0 = K0 = 1$$

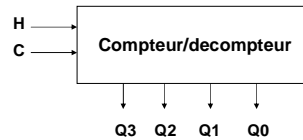
$$T1 = J1 = K1 = \overline{Q0}$$

$$T2 = J2 = K2 = \overline{Q0} \cdot \overline{Q1}$$

81

7. Les compteurs/décompteurs

- Le même circuit peut offrir l'opération de comptage et décomptage
- Rajouter une entrée C, si C=0 alors comptage, si C=1 alors décomptage



82

Exemple d'un compteur/décompteur

C	Q2	Q1	Q0	T2	T1	T0
0	0	0	0	0	0	1
0	0	0	1	0	1	1
0	0	1	0	0	0	1
0	0	1	1	1	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	1
0	1	1	0	0	0	1
0	1	1	1	1	1	1
1	1	1	1	0	0	1
1	1	1	0	0	1	1
1	1	0	1	0	0	1
1	1	0	0	1	1	1
1	0	1	1	0	0	1
1	0	1	0	0	1	1
1	0	0	1	0	0	1
1	0	0	0	1	1	1

$$T0 = J0 = K0 = 1$$

$$T1 = J1 = K1 = \overline{C} \cdot \overline{Q0} + C \cdot \overline{Q0}$$

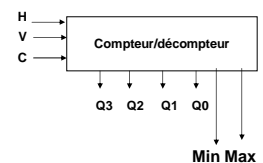
$$T2 = J2 = K2 = \overline{C} \cdot \overline{Q0} \cdot \overline{Q1} + C \cdot \overline{Q0} \cdot \overline{Q1}$$

83

Exercice

- Réaliser un compteur/décompteur décimale défini par la table de fonctionnement suivante.

V	C	état
0	X	État mémoire
1	0	comptage
1	1	décomptage



Si le circuit a atteint la valeur Min alors la sortie Min=1

Si le circuit atteint la valeur Max alors la sortie Max=1

84